

73

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-313854

(43)Date of publication of application : 26.11.1993

(51)Int.Cl. G06F 7/00

G06F 9/34

G06F 9/38

(21)Application number : 04-115060 (71)Applicant : FUJITSU LTD

(22)Date of filing : 08.05.1992 (72)Inventor : KASAMIZUKAMI KENGOU
YOSHITAKE AKIHIRO

(54) REGISTER FILE

(57)Abstract:

PURPOSE: To reduce the transmission delay of a control signal by providing a temporary register in a block secured at the side of a register file to fetch the write data with a bypass instruction and writing the data into a register file.

CONSTITUTION: A register file 1 provided with (n) pieces of ports which can be read or written independently of each other is provided with a temporary register 2 which fetches the write data from a bus. In a normal read mode, the data on the register number designated by a read port are read out by a selection signal via a gate circuit 30 which switches the high and low impedances. Meanwhile the data on the register 2 are read out via a gate circuit 31 selected by a bypass instruction given from the outside. These data are written to the main body of the file 1. Thus, the number of logic stages of a peripheral circuit can be decreased and the transmission delay of a

control signal can be reduced when the bypass is required.

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A register file (1) independently provided with a lead or n ports which carry out a light It sets, A temporary register (2) which incorporates right data from a bus It has, This temporary register (2) This register file (1) At the time of a lead which constitutes so that a light may be carried out to a main part, and does not have bypass directions (BP) from the outside. Data of a register number specified from a read port with a selection signal (NB) High impedance, Or when it reads via a gate circuit (30) changed to low impedance and there are bypass directions (BP) from the outside. Data of a register number directed in the above-mentioned read port is replaced, and it is the above-mentioned temporary register (2). A register file reading data via other gate circuits (31) chosen with the above-mentioned bypass directions (BP).

[Claim 2]A register file (1) independently provided with a lead or n ports which carry out a light It sets, A temporary register (2) which incorporates right data from a bus It has, This temporary register (2) This register file (1) At the time of a lead which constitutes so that a light may be carried out to a main part, and does not have bypass directions (BP) from the outside. Data of a register number specified from a read port with a selection signal (NB) High impedance, Or constitute so that it may read via a gate circuit (30) changed to low impedance, and. It has an address comparator circuit (4) which performs comparison with an address directed in a light port, and an address directed in a read port, This address comparator circuit (4) A coincidence output signal (**) When it is outputted and write instruction (WE) of a light port has come out, Data of a register number directed in the above-mentioned read port is replaced, and it is the above-mentioned temporary register (2). About

data, it is the above-mentioned coincidence output signal. (**), The register file according to claim 1 reading via the above-mentioned gate circuit (31) chosen with the bypass directions (BP) which comprise write instruction (WE).

[Claim 3] A register file (1) independently provided with a lead or n ports which carry out a light It sets, A temporary register (2) which incorporates right data from a bus It has, This temporary register (2) This register file (1) Constitute so that a light may be carried out to a main part, and at the time of a lead. Constitute so that data of a register number specified from a read port may be read, and. This register file (1) Each read-out line of a bit cell when only a read-out word line (RWL) is effective, Constitute so that data of a register number specified from the above-mentioned read port may be read, and The above-mentioned read-out word line (RWL), When a write-in word line (WWL) specifies the same register number, it is the above-mentioned temporary register (2). A register file constituting so that data may be read.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the construction of a register file. Although it is required that the processing speed of a data processing device should be raised more from the former to one layer, in order to raise processing speed, a limit surely comes out only on physical conditions, such as making high the improvement in the degree of location of a high integration circuit, or a clock frequency.

[0002] Then, although a circuit device is also required logically, The circuitry for shortening wiring during the block in this high integration circuit. For example, the temporary register for incorporating the data from a data bus into a register file, Move from the block by the side of an arithmetic circuit in the block by the side of a register file, or. Instead of the circuitry which can reduce a logic number of stages and a transistor count, for example, a multiplexer, with a selection signal High impedance, Or the gate circuit (tri state circuits) which can be changed to low impedance is introduced, or it is not from the outside about this selection signal, and by constituting so that it may generate inside, the burden of an external control circuit is made light and the device of aiming at improvement in speed of this external control circuit is required.

[0003]

[Description of the Prior Art] Drawing 6 is a figure explaining the bypass technique in pipeline control.

Drawing 7 and drawing 8 are the figures explaining the conventional register file, drawing 7 shows the case where bypass processing is changed by a multiplexer, and drawing 8 shows the case where constitute a register file from a master slave flip flop, and bypass processing is performed.

[0004]At the processor which has adopted the pipeline control method, it is one register file (GR). It may read with the write-in register of 1, and a register may arise to the same address to the same timing.

[0005]Register file (GR) 1 cannot usually perform read-out simultaneously with writing. Or since time is taken even if it can do, it is difficult to read within one cycle, and if it was reading after waiting to write in after all, disorder will arise with a pipeline's flow.

[0006]So, in such a case, it is a register file (GR). It is a register file (GR) at the same time it writes in 1. The technique what is called of bypass read-out of reading the value of the target register is used by another route, i.e., a bypass route, without going via 1.

[0007]Drawing 6 shows the example of such bypass processing. it is illustrated -- as -- for example, three add instructions (add) -- instruction fetch stage (F) of a graphic display. Decoding stage (D) Instruction execution stage (E) Write-in stage (W) It is supplied to four steps of pipelines, and pipeline processing is performed, and This command 1 (add GR1, GR2, GR3), Between the commands 3 (add GR3, GR7, GR7), supposing register (GR3) interference has arisen, Since read-out from the register (GR3) by the writing to the register (GR3) by the command 1 (add GR1, GR2, GR3) and the command 3 (add GR3, GR7, GR7) cannot be performed simultaneously, In usual, D stage of this command 3 (add GR3, GR7, GR7), Although it comes after W stage of the command 1 (add GR1, GR2, GR3), it will be generated by interlock on D stage to this command 3 (add GR3, GR7, GR7) and disorder will arise with the flow of this pipeline processing, This register file (GR) Temporary register in which the write data of 1 is accumulated From 2 to direct. If there is a bypass route to an arithmetic circuit (ALU), the above-mentioned disorder over a pipeline's flow is cancelable as shown in drawing 6.

[0008]

[Problem(s) to be Solved by the Invention]Drawing 7 and <" Tokujitu>drawing 8 are the conventional register file figures to explain, and drawing 7, Register file (GR) Pass to the same register of 1, indicate the case where a bypass route when read-out arises simultaneously is realized by a multiplexer to be writing, and drawing 8, It is this register file (GR) so that read-out can be simultaneously performed with this writing. He is the latch of a master slave about 1. (flip-flop) The case where it constitutes is shown.

[0009]in drawing 7 -- a multiplexer (Multiplexer, following abbreviation) -- it being 50 and 51 and, Register file (GR) The contents of 1 are read or it is this register file (GR).

Temporary register in which the write data of 1 is accumulated () [temporary register and] following abbreviation -- having changed whether 2 is read and bypassed -- this temporary register the bypass route from 2 to an arithmetic circuit -- multiplexer 50 and 51 were needed and there was a problem that a logic number of stages increased. [0010] Register file (GR) shown in drawing 8 1, Latch of a master slave (flip-flop: FF) Since it was constituted, even if read-out arose simultaneously with writing, disorder was not produced to a pipeline, but the gate number increased and there was a problem that the amount of resources became large.

[0011] This invention lessens the logic number of stages of the peripheral circuit of a register file in view of the above-mentioned conventional fault, And it aims at providing the register file which can lessen the propagation delay of a control signal when it is necessary to bypass without increasing the scale of a register file.

[0012]

[Means for Solving the Problem] Drawing 1 - drawing 5 are the figures showing one example of this invention. The above-mentioned problem is solved by register file constituted as following.

[0013] 1) In the register file 1 independently provided with a lead or n ports which carry out a light, Temporary register which incorporates right data from a bus It has 2 and is this temporary register. Constitute from 2 so that a light may be carried out to this register file 1 main part, and at the time of the usual lead. Data of a register number specified from a read port with a selection signal (NB) High impedance, Or gate circuit changed to low impedance When it reads via 30 and there are bypass directions (BP) from the outside, Data of a register number directed in the above-mentioned read port is replaced, and it is the above-mentioned temporary register. Other gate circuits chosen with the above-mentioned bypass directions (BP) in data of 2 It constitutes so that it may read via 31.

[0014] 2) In the register file 1 independently provided with a lead or n ports which carry out a light, Temporary register which incorporates right data from a bus It has 2 and is this temporary register. From 2, it is this register file. Constitute so that a light may be carried out to one main part, and at the time of the usual lead. Data of a register number specified from a read port with a selection signal (NB) High impedance, Or gate circuit changed to low impedance Constitute so that it may read via 30, and. Address comparator circuit which performs comparison with an address directed in a light port, and an address directed in a read port It has 4, This address comparator circuit It is a coincidence output signal (1) at 4. When it outputs and write instruction (WE) of a light port has come out, Data of a register number directed in the above-mentioned read port is replaced, and it is the above-mentioned temporary register. About data of 2, it is the above-mentioned coincidence output signal (1). The above-mentioned gate circuit chosen with the bypass directions (BP) which comprise write instruction (WE) It constitutes so that it may read via 31.

[0015]3) In the register file 1 independently provided with a lead or n ports which carry out a light, Temporary register which incorporates right data from a bus It has 2 and is this temporary register. From 2, it is this register file. Constitute so that a light may be carried out to one main part, and at the time of a lead. Constitute so that data of a register number specified from a read port may be read, and. This register file Each read-out line of a bit cell of 1 when only a read-out word line (RWL) is effective, Constitute so that data of a register number specified from the above-mentioned read port may be read, and The above-mentioned read-out word line (RWL), When a write-in word line (WWL) specifies the same register number, it is the above-mentioned temporary register. It constitutes so that data of 2 may be read.

[0016]

[Function]Namely, in the register file of this invention, When it belongs to the block of an arithmetic circuit and the wire length from this arithmetic circuit block to the block of this register file provides conventionally the temporary register which was long in the block by the side of this register file, It is made to shorten the wire length from this temporary register to a register file.

[0017]At the time of a lead, read from a register file or for bypass processing, That gate read from this temporary register A predetermined selection signal, Based on the shown signal, that there was register interference between a precedence command and a succeeding instruction Namely, high impedance, Or carry out the gate of the gate circuit which can be changed to low impedance, for example, the tri state buffer, and it is changed, The required multiplexer (it mainly consists of AND OR circuits) is omitted conventionally, the logic number of stages for switching control is reduced, and this switching control is accelerated.

[0018]By constituting the address comparator circuit which detects register interference as a peripheral circuit of this register file, do not depend this bypass processing on the switch signal from the outside, but it enables it to control it by itself, and the load of control logic is reduced.

[0019]The bit cell of a register file A read signal with a bypass {signal with which it writes in with a read-out word line (RWL), and a word line (WWL) becomes active when effective to the same register}, It constitutes so that it can read with two read signals with a bypass-less read signal {signal which becomes active only when a read-out word line (RWL) is effective to the same register}, In the case of a read signal with a bypass, write the contents of the above-mentioned right data, i.e., a temporary register, in a bit cell, and. It reads in a different course from this, and with constituting so that the contents memorized by the applicable bit cell of the register file may be read, in the case of a bypass-less read signal, the logic which generates the above-mentioned control signal can be simplified, and switching control is accelerated to it.

[0020]Therefore, it is effective in the ability to raise the performance of a data

processing device.

[0021]

[Example]The example of this invention is explained in full detail with a drawing below. Above-mentioned drawing 1 - drawing 5 are a figure showing one example of this invention.

[0022]In this invention, independently A lead, or the register file (Register File and the following -- abbreviated) provided with n ports in which a light is possible -- in 1, Temporary register which incorporates right data from a bus It has 2 and is this temporary register. Constitute from 2 so that a light may be carried out to this register file 1 main part, and at the time of the usual lead. Gate circuit which changes the data of the register number specified from the read port to high impedance or low impedance with a selection signal (NB) Although it reads via 30, If there are bypass directions (BP) from the outside, it will be the above-mentioned temporary register. Other gate circuits chosen with the above-mentioned bypass directions (BP) in the data of 2 The means read via 31, or the address directed in a light port, Address comparator circuit which compares the address directed in a read port It has 4 and is this address comparator circuit. When it is in agreement by 4 and the write instruction (WE) of the light port has come out, The above-mentioned temporary register The means which reads the data of 2, and also this register file The bit cell of 1, A read signal with a bypass {signal which writes in with a read-out word line (RWL), and becomes active when effective to a register with same word line (WWL)}, It constitutes so that it can read with two read signals with a bypass-less read signal [signal which becomes active only when a read-out word line (RWL) is effective to the same register], In the case of a read signal with a bypass, they are the above-mentioned right data, i.e., a temporary register. At the same time it writes the contents of 2 in a bit cell, It reads by alternative pathway and, in the case of a bypass-less read signal, is a register file. It is a means which the means which reads the contents memorized by the applicable bit cell of 1 needs for carrying out this invention. The same numerals show the same subject through the complete diagram.

[0023]Hereafter, drawing 1 - drawing 5 are used and it is a register file of this invention. Operation is explained to be the composition of 1. It is a signal (BP) which drawing 1 constitutes the register file 1 from a usual bit cell, and directs bypass read-out, For example, tri state buffer 31 enable terminals (G) It controls, during an input (in) and an output (out) is made into low impedance, and it is a temporary register. The case where 2 is read is shown.

[0024]This register file. 1 is an example of the register file which read with the write port of 32 bits x 32 words, and was provided with the port, for example.

Data bus width. 32 bits, Line address (WA), Read address (RA) It is both 5 bits (= 32 words). It is.

[0025]By the rising edge of a clock (CLK1), write data is a temporary register. It is incorporated into 2. The address (WA0-WA4) of a write-in register, drawing 2 (b) the shown write address decoder (WA-Decoder) -- it being inputted into 10 and, When write enable (WE) and a clock (CLK2) are active, The signal [light word line (WWL)] of the bit cell which is not illustrated which actually writes in becomes active, Each bit cell of this register will be in a writing state, and the above-mentioned write data is written in via the buffering write (Write Buffer) from the temporary register 2.

[0026]the address of a read-out register -- drawing 2 (a) the shown read address decoder (RA-Decoder) -- it is inputted into 11, and the lead word line (RWL) of the register of an applicable address becomes active, and read-out of it becomes possible.

[0027]However, when the simultaneous writing to the register of the same address occurs here. Since the value in the middle of writing may be read if read-out is performed from the register, it is the register file. The above-mentioned temporary register which holds the value which should be written in without performing read-out from 1 What is called bypass read-out is performed so that a value may be read from 2.

[0028]Here, this bypass read-out is performed, or (does it read from temporary register 2?) it is as usual a register file. It is determined by the signal (BP) which directs the bypass processing from the outside, and the signal (NB) which usually directs read-out whether it reads from 1.

[0029]When bypass read-out needs to be performed, the above-mentioned signal (BP) becomes active, and it is a temporary register. The value of 2 is a tri state buffer, for example. Although outputted through the output buffer (Output Buffer) which constitutes 31, Register file read through the sense amplifier (Sense Amp.) by the signal (NB) which directs the above-mentioned usual read-out becoming active when it was not necessary to perform this bypass The value of 1 is outputted.

[0030]Thus, the above-mentioned temporary register which belonged to the arithmetic circuit block of the high integration circuit conventionally About 2, it is a register file. By including in the block of 1, This temporary register From 2 to a register file The wire length of 1 becomes short and. The above-mentioned temporary register The value of 2 is read or it is a register file. That change which reads the value of 1 with a selection signal. By constituting so that it may carry out by what is called a tri state buffer that can be made into high impedance or can be made into low impedance, The required multiplexer becomes conventionally unnecessary, the part and a logic number of stages can be reduced, and it is this register file. Time required for read-out of 1 can be shortened.

[0031]Although the signal generated from the decode information of a precedence command and a succeeding instruction was given in the example shown in above-mentioned drawing 1 and drawing 2 in D stage of the pipeline who performs bypass read-out and who showed the carrying-out control signal (BP, NB) to the

exterior, for example, drawing 6. In the example shown in drawing 3, it is a register file about this bypass-control signal (BP, NB). The block of 1 generates.

[0032] That is, in the example shown in drawing 3, it is the address comparator circuit unit. Provide 4 and Writing address (WA0-WA4), He compares a reading address (RA0-RA4), and is trying to generate the above-mentioned control signal (BP, NB) for performing bypass read-out in the case of the same address.

[0033] Specifically a writing address (WA0-WA4) and a reading address (RA0-RA4), a comparison circuit (Comparater) -- 40 compares and these equally that write enable (WE) and a clock (CLK2) are active, To the same register of this register file 1 as that to which writing and read-out are going to be performed simultaneously, activating a bypass read signal (BP) -- this comparison circuit (Comparater) -- 40. or -- or [any of write enable (WE)] -- non -- time it is active -- (i.e., bypass read-out) (BP) -- non, when active, NB is as activeness, i.e., usual, a register file. By incorporating logic which is read from 1. It is this register file about the exterior to a bypass read signal (BP), and the usual read signal (NB). Since it is not necessary to supply 1, it is simplified and the external control logic can shorten the propagation time of the control signal from this outside.

[0034] However, the part, this register file The surrounding logic circuit of 1 becomes large. Then, register file The example which improves the bit cell of 1 and raised the degree of location <" Tokujitu> is an example shown in drawing 4 and drawing 5.

[0035] In this example, it is this register file. The bit cell of 1 is constituted as shown in drawing 5. That is, a read-out line (bit lines) is extended to those (BypassRead) with a bypass, and two kinds in the case of having no bypass (Non Bypass Read).

[0036] Thereby, it is a control signal (above-mentioned Bypass Read and Non Bypass Read) of this bypass read-out. Since logic conditions are simplified and regularity also becomes very high, a degree of location can be made higher than the case of the example described by drawing 3.

[0037] As shown in drawing 4, specifically A write-in word line (WWL) signal, From a read-out word line (RWL) signal, take the logic of a graphic display and this read-out word line (RWL) signal Those with bypass read-out (Bypass Read), It divides into two kinds [having no bypass read-out (Non Bypass Read)], and is a register file. As shown in drawing 5, the bit cell of 1, It enables it to receive those [these] with bypass read-out (Bypass Read), and two signals [having no bypass read-out (Non Bypass Read)].

[0038] And when bypass read-out is required. Since those above-mentioned with bypass read-out (Bypass Read) become active, Transistor 1a becomes "one" and it is this register file. The value written in 1, i.e., a temporary register, The value of 2 will appear in the ** and a read-out data line (Read Data).

[0039] When this bypass read-out cannot be found, completely like the usual case, the transistor 1b serves as "one" and is latched. The value memorized by 1c is this

transistor. It will let 1b pass and will be read to the same read-out data line (Read Data) as the above.

[0040]In the above-mentioned example, altogether, although the register file of the single port was explained, also in the register file of multiport, it being applicable enough is not saying.

[0041]Independently the register file of this invention Thus, a lead, Or register file provided with n ports in which a light is possible In 1, Temporary register which incorporates right data from a bus It has 2 and is this temporary register. From 2, it is this register file. Constitute so that a light may be carried out to one main part, and usually at the time of a lead. The data of the register number specified from the read port with a selection signal (NB) High impedance, Or gate circuit changed to low impedance If it reads via 30 or there are bypass directions (BP) from the outside, it will be the above-mentioned temporary register. Other gate circuits chosen with the above-mentioned bypass directions (BP) in the data of 1 It carries out as [read / via 31]. Or address comparator circuit which compares the address directed in a light port with the address directed in a read port It has 4, This address comparator circuit It is in agreement by 4, and if the write instruction (WE) of a light port and a clock (CL2) are "one", It is this register file further reading the data of the above-mentioned temporary register 2. The bit cell of 1 A read signal with a bypass, Constitute so that it can read with two read signals with a bypass-less read signal, and in the case of a read signal with a bypass, The contents of the above-mentioned right data, i.e., a temporary register, are read, and, in the case of a bypass-less read signal, the feature is at the place which read the contents of the bit corresponding of a register file.

[0042]

[Effect of the Invention]As mentioned above, as explained in detail, the register file of this invention, The temporary register provided in a different block from the block of a register file, By providing in the block of this register file, shortening the wire length from this temporary register, and performing the selection control for bypass read-out by a tri state buffer, for example, By making unnecessary a logic gate stage called a multiplexer, and generating the selection signal of this bypass processing in the address comparator circuit provided around the register file, By reducing the load of this control logic and dividing the read signal of the bit cell of this register file into a read signal with a bypass, and a bypass-less read signal further, Since the logic which generates those [these] with a bypass and a nothing control signal is simplified, Without [without it makes the amount of resources of a register file increase, and] making a logic number of stages increase, bypass read-out can be performed and there is an effect which can deter generating of disorder of this pipeline's flow in the time of register interference occurring by the processor which has adopted the pipeline control method.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]figure (the 1) showing one example of this invention

[Drawing 2]figure (the 2) showing one example of this invention

[Drawing 3]figure (the 3) showing one example of this invention

[Drawing 4]figure (the 4) showing one example of this invention

[Drawing 5]The figure showing one example of this invention (the 5)

[Drawing 6]The figure explaining the bypass technique in pipeline control

[Drawing 7]The figure explaining the conventional register file (the 1)

[Drawing 8]The figure explaining the conventional register file (the 2)

[Description of Notations]

1 Register file (Register File or GR)

1a, 1b transistor 1c latch

10 A write-in address decoder (WA-Decoder)

11 Read-out address decoder (RA-Decoder)

2 Temporary register (Temporary Register)

30 A gate buffer and a gate circuit

31 Output buffer (Output Buffer)

4 Address comparator circuit 40 Comparator (Comparater)

Each stage of F, D, E, and W pipeline

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-313854

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/00				
9/34	3 3 0	9189-5B		
9/38	3 1 0 E	9193-5B		
		9188-5B		
			G 0 6 F 7/ 00	R

審査請求 未請求 請求項の数3(全 12 頁)

(21)出願番号 特願平4-115060

(22)出願日 平成4年(1992)5月8日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 笠水上 賢剛

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 吉竹 昭博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

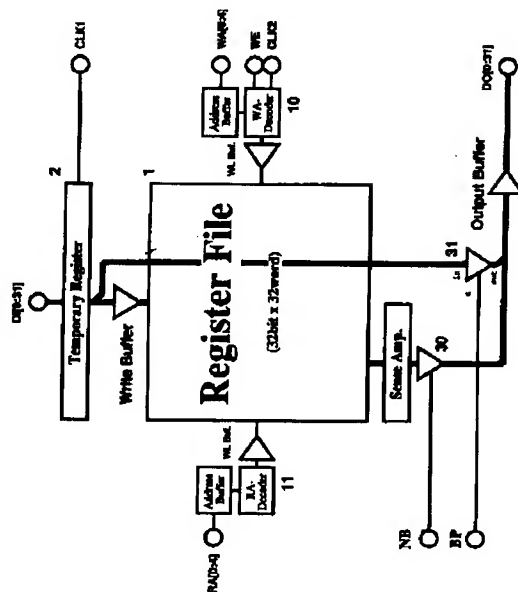
(54)【発明の名称】 レジスタファイル

(57)【要約】

【目的】 本発明はレジスタファイルに関し、パイプライン制御方式を採用しているプロセッサにおいて、ロジック段数が少なく、物量を少なくして、バイパス読み出しを行う。

【構成】 レジスタファイルにおいて、ライトデータをバスより取り込むテンポラリレジスタを備え、該テンポラリレジスタより、該レジスタファイル本体にライトするように構成し、通常のリード時には、リードポートより指定されたレジスタ番号のデータを、選択信号(NB)によって、高インピーダンス、又は、低インピーダンスに切り替えるゲート回路を介して読み出すか、外部からのバイパス指示(BP)があるときは、上記テンポラリレジスタのデータを、上記バイパス指示(BP)で選択される他のゲート回路を介して読み出す。又、ライトポートで指示されるアドレスと、リードポートで指示されるアドレスの比較を行う回路を備え、該比較回路で一致し、ライトポートのライト指示(WE)が出ているときには、上記テンポラリレジスタのデータを読み出す。

本発明の一実施例を示した図 (その1)



【特許請求の範囲】

【請求項1】独立に、リード、又は、ライトするn個のポートを備えたレジスタファイル(1)において、ライトデータをバスより取り込むテンポラリレジスタ(2)を備え、該テンポラリレジスタ(2)より、該レジスタファイル(1)本体にライトするように構成し、外部からのバイパス指示(BP)がないリード時には、リードポートより指定されたレジスタ番号のデータを、選択信号(NB)によって、高インピーダンス、又は、低インピーダンスに切り替えるゲート回路(30)を介して読み出し、外部からのバイパス指示(BP)があった場合には、上記リードポートで指示されたレジスタ番号のデータに代わって、上記テンポラリレジスタ(2)のデータを、上記バイパス指示(BP)で選択される他のゲート回路(31)を介して読み出すことを特徴とするレジスタファイル。

【請求項2】独立に、リード、又は、ライトするn個のポートを備えたレジスタファイル(1)において、ライトデータをバスより取り込むテンポラリレジスタ(2)を備え、該テンポラリレジスタ(2)より、該レジスタファイル(1)本体にライトするように構成し、外部からのバイパス指示(BP)がないリード時には、リードポートより指定されたレジスタ番号のデータを、選択信号(NB)によって、高インピーダンス、又は、低インピーダンスに切り替えるゲート回路(30)を介して読み出すように構成すると共に、ライトポートで指示されるアドレスと、リードポートで指示されるアドレスとの比較を行うアドレス比較回路(4)を備え、該アドレス比較回路(4)で一致出力信号(①)が出力され、且つ、ライトポートのライト指示(WE)が出ている場合には、上記リードポートで指示されたレジスタ番号のデータに代わって、上記テンポラリレジスタ(2)のデータを、上記一致出力信号(①)と、ライト指示(WE)で構成されるバイパス指示(BP)で選択される上記ゲート回路(31)を介して読み出すことを特徴とする請求項1に記載のレジスタファイル。

【請求項3】独立に、リード、又は、ライトするn個のポートを備えたレジスタファイル(1)において、ライトデータをバスより取り込むテンポラリレジスタ(2)を備え、該テンポラリレジスタ(2)より、該レジスタファイル(1)本体にライトするように構成し、リード時には、リードポートより指定されたレジスタ番号のデータを読み出すように構成すると共に、該レジスタファイル(1)のビットセルの各読み出しラインを、読み出しワードライン(RWL)のみが有効なときには、上記リードポートより指定されたレジスタ番号のデータを読み出すように構成し、上記読み出しワードライン(RWL)と、書き込みワードライン(WWL)が同一のレジスタ番号を指定しているときには、上記テンポラリレジスタ(2)のデータを読み出すように構成したことを特徴

とするレジスタファイル。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、レジスタファイルの構成法に関する。従来からデータ処理装置の処理速度を、より一層に向上させることが要求されているが、高集積回路の集積度の向上、或いは、クロック周波数を高くする等の物理的な条件だけで、処理速度を向上させるには、どうしても、限界が出てくる。

【0002】そこで、論理的、回路的な工夫も要求されるが、該高集積回路内のブロック間の配線を短くする為の回路構成、例えば、レジスタファイルにデータバスからのデータを取り込む為のテンポラリレジスタを、演算回路側のブロックからレジスタファイル側のブロック内に移すとか、論理段数、及びトランジスタ数を削減できる回路構成、例えば、マルチプレクサの代わりに、選択信号によって高インピーダンス、又は、低インピーダンスに切り替えることができるゲート回路(トライステート回路)を導入するとか、該選択信号を外部からではなく、内部で生成するように構成することにより、外部制御回路の負担を軽くし、該外部制御回路の速度向上を図る等の工夫が要求される。

【0003】

【従来の技術】図6は、パイプライン制御でのバイパス手法を説明する図であり、図7、図8は、従来のレジスタファイルを説明する図であって、図7は、バイパス処理をマルチプレクサで切り替える場合を示し、図8は、レジスタファイルをマスタ・スレーブフリップフロップで構成してバイパス処理を行う場合を示している。

【0004】パイプライン制御方法を採用しているプロセッサでは、一つのレジスタファイル(GR)1の書き込みレジスタと読み出しレジスタが、同じタイミングで、同じアドレスに対して生じることがある。

【0005】レジスタファイル(GR)1は、通常、書き込みと、読み出しを同時に行うことができず、又は、できても時間がかかるので、1サイクル以内で読み出すのは難しく、結局、書き込むのを待ってから読み出しを行っていたのでは、パイプラインの流れに乱れが生じてしまう。

【0006】そこで、このような場合には、レジスタファイル(GR)1に書き込みを行うと同時に、レジスタファイル(GR)1を経由しないで別ルート、即ち、バイパスルートで、目的のレジスタの値を読み出す、所謂、バイパス読み出しという手法が用いられる。

【0007】図6は、このようなバイパス処理の例を示している。図示されている如くに、例えば、3つの加算命令(add)が、図示の、命令フェッチステージ(F)と、デコードステージ(D)と、演算実行ステージ(E)と、書き込みステージ(W)の4段のパイプラインに投入されてパイプライン処理が行われ、該命令1(add GR1,GR2,GR

3) と、命令 3 (add GR3,GR7,GR7) との間で、レジスタ (GR3) 干渉が生じているとすると、命令 1 (add GR1,GR2,GR3) によるレジスタ (GR3) への書き込みと命令 3 (add GR3,GR7,GR7) によるレジスタ (GR3) からの読み出しを同時に行うことができないため、通常では、該命令 3 (add GR3,GR7,GR7) の D ステージは、命令 1 (add GR1,GR2,GR3) の W ステージの後になり、該命令 3 (add GR3,GR7,GR7) に対して、D ステージでのインタロックが発生して、該パイプライン処理の流れに乱れが生じることになるが、該レジスタファイル (GR) 1 への書き込みデータが蓄積されているテンポラリレジスタ 2 から、直接、演算回路 (ALU) へのバイパスルートがあると、図 6 に示されている如くに、パイプラインの流れに対する、上記乱れを解消することができる。

【0008】

【発明が解決しようとする課題】図 7、図 8 は従来のレジスタファイルの説明する図であり、図 7 は、レジスタファイル (GR) 1 の同じレジスタに介して書き込みと、読み出しが同時に生じた場合のバイパスルートを、マルチプレクサで実現する場合を示し、図 8 は、該書き込みと、読み出しを同時に行うことができるように、該レジスタファイル (GR) 1 をマスタ・スレーブのラッチ (フリップフロップ) で構成した場合を示している。

【0009】図 7 においては、マルチプレクサ (Multiplexer、以下略) 50,51 で、レジスタファイル (GR) 1 の内容を読み出すか、該レジスタファイル (GR) 1 への書き込みデータが蓄積されているテンポラリレジスタ (temporary register、以下略) 2 を読み出してバイパスするかを切り替えており、該テンポラリレジスタ 2 から演算回路へのバイパスルートに、マルチプレクサ 50,51 を必要とし、ロジック段数が多くなるという問題があった。

【0010】又、図 8 に示したレジスタファイル (GR) 1 は、マスタ・スレーブのラッチ (フリップフロップ: FF) で構成されている為、書き込みと、読み出しが同時に生じて、パイプラインに乱れを生じることはないが、ゲート数が多くなり、物量が大きくなるという問題があった。

【0011】本発明は上記従来の欠点を鑑み、レジスタファイルの周辺回路のロジック段数を少なくして、且つ、レジスタファイルの規模を多くすることなく、バイパスをする必要が生じたときの制御信号の伝播遅延を少なくすることのできるレジスタファイルを提供することを目的とするものである。

【0012】

【課題を解決するための手段】図 1～図 5 は、本発明の一実施例を示した図である。上記の問題点は下記の如くに構成したレジスタファイルにより解決される。

【0013】1) 独立に、リード、又は、ライトする n 個のポートを備えたレジスタファイル 1 において、ライトデータをバスより取り込むテンポラリレジスタ 2 を備

え、該テンポラリレジスタ 2 より、該レジスタファイル 1 本体にライトするように構成し、通常のリード時には、リードポートより指定されたレジスタ番号のデータを、選択信号 (NB) によって、高インピーダンス、又は、低インピーダンスに切り替えるゲート回路 30 を介して読み出し、外部からのバイパス指示 (BP) があった場合には、上記リードポートで指示されたレジスタ番号のデータに代わって、上記テンポラリレジスタ 2 のデータを、上記バイパス指示 (BP) で選択される他のゲート回路 31 を介して読み出すように構成する。

【0014】2) 独立に、リード、又は、ライトする n 個のポートを備えたレジスタファイル 1 において、ライトデータをバスより取り込むテンポラリレジスタ 2 を備え、該テンポラリレジスタ 2 より、該レジスタファイル 1 本体にライトするように構成し、通常のリード時には、リードポートより指定されたレジスタ番号のデータを、選択信号 (NB) によって、高インピーダンス、又は、低インピーダンスに切り替えるゲート回路 30 を介して読み出すように構成すると共に、ライトポートで指示されるアドレスと、リードポートで指示されるアドレスとの比較を行うアドレス比較回路 4 を備え、該アドレス比較回路 4 で一致出力信号 (1) を出力し、且つ、ライトポートのライト指示 (WE) が出ている場合には、上記リードポートで指示されたレジスタ番号のデータに代わって、上記テンポラリレジスタ 2 のデータを、上記一致出力信号 (1) と、ライト指示 (WE) で構成されるバイパス指示 (BP) で選択される上記ゲート回路 31 を介して読み出すように構成する。

【0015】3) 独立に、リード、又は、ライトする n 個のポートを備えたレジスタファイル 1 において、ライトデータをバスより取り込むテンポラリレジスタ 2 を備え、該テンポラリレジスタ 2 より、該レジスタファイル 1 本体にライトするように構成し、リード時には、リードポートより指定されたレジスタ番号のデータを読み出すように構成すると共に、該レジスタファイル 1 のビットセルの各読み出しラインを、読み出しワードライン (RWL) のみが有効なときには、上記リードポートより指定されたレジスタ番号のデータを読み出すように構成し、上記読み出しワードライン (RWL) と、書き込みワードライン (WWL) が同一のレジスタ番号を指定しているときには、上記テンポラリレジスタ 2 のデータを読み出すように構成する。

【0016】

【作用】即ち、本発明のレジスタファイルにおいては、従来、演算回路のブロックに属し、該演算回路ブロックから、本レジスタファイルのブロック迄の配線長が長くなっていたテンポラリレジスタを、該レジスタファイル側のブロックに設けることにより、該テンポラリレジスタからレジスタファイル迄の配線長を短くするようにしたものである。

【0017】又、リード時において、レジスタファイルから読み出すか、バイパス処理の為に、該テンポラリレジスタから読み出すかのゲートを、所定の選択信号、即ち、先行命令と後続命令との間にレジスタ干渉があったことを示す信号に基づいて、高インピーダンス、又は、低インピーダンスに切り替えることができるゲート回路、例えば、トライステートバッファをゲートして切り替えるようにして、従来、必要であったマルチプレクサ（主に、アンドオア回路からなる）を省略し、切り替え制御のための論理段数を減らし、該切り替え制御を高速化するようにしたものである。

【0018】又、レジスタ干渉を検出するアドレス比較回路を、該レジスタファイルの周辺回路として構成することにより、該バイパス処理を、外部からの切り替え信号によらず、自分自身で制御できるようにし、制御ロジックの負荷を減らすようにしたものである。

【0019】更に、レジスタファイルのビットセルを、バイパス有り読み出し信号（読み出しワードライン(RWL)）と書き込みワードライン(WWL)が同一のレジスタに対して有効である場合にアクティブとなる信号} と、バイパス無し読み出し信号（同一のレジスタに対して、読み出しワードライン(RWL)が有効であるときのみアクティブとなる信号} との2つの読み出し信号で読み出せるように構成し、バイパス有り読み出し信号の場合には、上記ライトデータ、即ち、テンポラリレジスタの内容を、ビットセルに書き込むと共に、これとは異なる経路で読み出し、バイパス無し読み出し信号の場合には、レジスタファイルの該当ビットセルに記憶されている内容を読み出すように構成することで、上記制御信号を発生する論理を単純化でき、切り替え制御を高速化するようにしたものである。

【0020】従って、データ処理装置の性能を向上させることができる効果がある。

【0021】

【実施例】以下本発明の実施例を図面によって詳述する。前述の図1～図5が、本発明の一実施例を示した図である。

【0022】本発明においては、独立に、リード、又は、ライト可能なn個のポートを備えたレジスタファイル(Register File、以下、略)1において、ライトデータをバスより取り込むテンポラリレジスタ2を備え、該テンポラリレジスタ2より、該レジスタファイル1本体にライトするように構成し、通常のリード時には、リードポートより指定されたレジスタ番号のデータを、選択信号(NB)によって、高インピーダンス、又は、低インピーダンスに切り替えるゲート回路30を介して読み出すが、外部からのバイパス指示(BP)があれば、上記テンポラリレジスタ2のデータを、上記バイパス指示(BP)で選択される他のゲート回路31を介して読み出す手段、又は、ライトポートで指示されるアドレスと、リードポ-

ートで指示されるアドレスの比較を行うアドレス比較回路4を備え、該アドレス比較回路4で一致し、ライトポートのライト指示(WE)が出ているときには、上記テンポラリレジスタ2のデータを読み出す手段、更に、該レジスタファイル1のビットセルを、バイパス有り読み出し信号（読み出しワードライン(RWL)）と書き込みワードライン(WWL)が同一のレジスタに対して有効である場合にアクティブとなる信号} と、バイパス無し読み出し信号（同一のレジスタに対して、読み出しワードライン(RWL)が有効であるときのみアクティブとなる信号} との2つの読み出し信号で読み出せるように構成し、バイパス有り読み出し信号の場合には、上記ライトデータ、即ち、テンポラリレジスタ2の内容をビットセルに書き込むと同時に、別経路で読み出し、バイパス無し読み出し信号の場合には、レジスタファイル1の該当ビットセルに記憶されている内容を読み出す手段が、本発明を実施するのに必要な手段である。尚、全図を通して同じ符号は同じ対象物を示している。

【0023】以下、図1～図5を用いて、本発明のレジスタファイル1の構成と、動作を説明する。図1は、レジスタファイル1を通常のビットセルで構成しておき、バイパス読み出しを指示する信号(BP)で、例えば、トライステートバッファ31のイネーブル端子(G)を制御し、入力(in)、出力(out)間を低インピーダンスとして、テンポラリレジスタ2を読み出す場合を示している。

【0024】該レジスタファイル1は、例えば、32ビット×32語の書き込みポートと読み出しポートを備えたレジスタファイルの例であり、データバス幅32ビット、ラインアドレス(WA)、リードアドレス(RA)共に、5ビット(=32語)である。

【0025】書き込みデータはクロック(CLK1)の立ち上がりエッジによって、テンポラリレジスタ2に取り込まれる。書き込みレジスタのアドレス(WA0～WA4)は、図2(b)に示したライトアドレスデコーダ(WA-Decoder)10に入力され、ライトイネーブル(WE)、及びクロック(CLK2)がアクティブの時に、図示されていないビットセルの、実際に書き込みを行う信号（ライトワードライン(WWL)）がアクティブとなり、該レジスタの各ビットセルが書き込み状態となって、テンポラリレジスタ2からライトバッファ(Write Buffer)を介して、上記書き込みデータが書き込まれる。

【0026】読み出しレジスタのアドレスは、図2(a)に示したリードアドレスデコーダ(RA-Decoder)11に入力され、該当するアドレスのレジスタのリードワードライン(RWL)がアクティブになり、読み出し可能となる。

【0027】然し、ここで、同じアドレスのレジスタへの同時書き込みが発生した場合には、そのレジスタから読み出しを行うと、書き込みの途中の値が読み出される可能性があるため、そのレジスタファイル1からの読み

出しを行うことなく、書き込むべき値を保持している、上記テンポラリレジスタ 2から値を読み出すように、所謂、バイパス読み出しを行う。

【0028】ここで、該バイパス読み出しを行うか（テンポラリレジスタ 2から読み出すか）、或いは、通常のとおり、レジスタファイル 1から読み出すかは、外部からのバイパス処理を指示する信号(BP)と、通常読み出しを指示する信号(NB)とで決定される。

【0029】バイパス読み出しを行う必要がある場合には、上記信号(BP)がアクティブになり、テンポラリレジスタ 2の値が、例えば、トライステートバッファ 31を構成している出力バッファ(Output Buffer)を通じて出力されるが、該バイパスを行う必要がない時には、上記通常読み出しを指示する信号(NB)がアクティブとなり、センス・アンプ(Sense Amp.)を通して読み出されたレジスタファイル 1の値が出力される。

【0030】このように、従来、高集積回路の演算回路ブロックに属していた、上記テンポラリレジスタ 2を、レジスタファイル 1のブロックに組み込むことにより、該テンポラリレジスタ 2から、レジスタファイル 1への配線長が短くなると共に、上記テンポラリレジスタ 2の値を読み出すか、レジスタファイル 1の値を読み出すかの切り換えを、選択信号によって、高インピーダンスとするか、低インピーダンスとすることができる、所謂、トライステートバッファで行うように構成することにより、従来、必要であったマルチプレクサが不要となり、その分、論理段数が削減でき、該レジスタファイル 1の読み出しに必要な時間を短くすることができる。

【0031】上記図1、図2に示した実施例では、バイパス読み出しを行う、行わないの制御信号(BP,NB)を外部、例えば、図6に示したパイプラインのDステージにおいて、先行命令と後続命令のデコード情報から生成した信号を与えていたが、図3に示した実施例においては、このバイパス制御信号(BP,NB)を、レジスタファイル 1のブロックで生成するものである。

【0032】即ち、図3に示した実施例においては、アドレス比較回路部 4を設けて、書き込みアドレス(WA0~WA4)と、読み出しアドレス(RA0~RA4)とを比較し、同じアドレスの場合には、バイパス読み出しを行う為の上記制御信号(BP,NB)を発生するようにしている。

【0033】具体的には、書き込みアドレス(WA0~WA4)と、読み出しアドレス(RA0~RA4)を、比較回路(Comparator) 40によって比較し、これらが等しく、且つ、ライトイネーブル(WE)、及びクロック(CLK2)がアクティブであると、該レジスタファイル1の同じレジスタに対して、書き込みと読み出しが同時に行われようとしているものとして、バイパス読み出し信号(BP)をアクティブとし、該比較回路(Comparator) 40、又は、ライトイネーブル(WE)の何れかが、ノンアクティブの時、即ち、バイパス読み出し(BP)がノンアクティブのときには、NBがアク

ティブ、つまり、通常とおり、レジスタファイル 1から読み出されるような論理を組み込んでおくことで、外部から、バイパス読み出し信号(BP)、通常の読み出し信号(NB)を該レジスタファイル 1に供給する必要がないので、外部の制御論理は簡単化され、該外部からの制御信号の伝播時間を短縮することができる。

【0034】然しながら、その分、該レジスタファイル 1の周辺の論理回路が大きくなる。そこで、レジスタファイル 1のビットセルを改良し、集積度を高めるようにした例が、図4、図5に示した実施例である。

【0035】この実施例においては、該レジスタファイル 1のビットセルを、図5に示したように構成する。即ち、読み出し線（ビットライン）を、バイパスあり(Bypass Read)と、バイパスなし(Non Bypass Read)の場合の2種類に拡張したものである。

【0036】これにより、該バイパス読み出しの制御信号（上記 Bypass Readと、Non Bypass Read）の論理条件が簡素化され、又、規則性が極めて高くなるので、集積度は、図3で説明した実施例の場合よりも高くすることができる。

【0037】具体的には、図4に示したように、書き込みワードライン(WWL)信号と、読み出しワードライン(RWL)信号とから、図示の論理をとって、該読み出しワードライン(RWL)信号を、バイパス読み出しあり(Bypass Read)と、バイパス読み出しなし(Non Bypass Read)の2種類に分割し、レジスタファイル 1のビットセルも、図5に示したように、該バイパス読み出しあり(Bypass Read)と、バイパス読み出しなし(Non Bypass Read)の2つの信号を受けられるようにする。

【0038】そして、バイパス読み出しが必要なときには、上記バイパス読み出しあり(Bypass Read)がアクティブとなるので、トランジスタ 1a が“オン”となり、該レジスタファイル 1に書き込まれる値、即ち、テンポラリレジスタ 2の値が、その儘、読み出しデータライン(Read Data)に現れることになる。

【0039】該バイパス読み出しのないときには、通常の場合と全く同様に、トランジスタ 1b が“オン”となり、ラッチ 1c に記憶されていた値が、該トランジスタ 1bを通して、上記と同じ読み出しデータライン(Read Data)に読み出されることになる。

【0040】尚、上記の実施例においては、全て、シングルポートのレジスタファイルについて説明したが、マルチポートのレジスタファイルにおいても、充分適用できることはいう迄もないことである。

【0041】このように、本発明のレジスタファイルは、独立に、リード、又は、ライト可能なn個のポートを備えたレジスタファイル 1において、ライトデータをバスより取り込むテンポラリレジスタ 2を備え、該テンポラリレジスタ 2より、該レジスタファイル 1本体にライトするように構成し、通常リード時には、リードポー

トより指定されたレジスタ番号のデータを、選択信号(NB)によって、高インピーダンス、又は、低インピーダンスに切り替えるゲート回路 30 を介して読み出すか、外部からのバイパス指示(BP)があれば、上記テンポラリレジスタ 1のデータを、上記バイパス指示(BP)で選択される他のゲート回路 31 を介して読み出すようする。又は、ライトポートで指示されるアドレスと、リードポートで指示されるアドレスの比較を行うアドレス比較回路 4を備え、該アドレス比較回路 4で一致し、ライトポートのライト指示(WE)、及び、クロック(CL2) が“オン”であれば、上記テンポラリレジスタ 2のデータを読み出すようにする、更に、該レジスタファイル 1のビットセルを、バイパス有り読み出し信号と、バイパス無し読み出し信号との2つの読み出し信号で読み出せるように構成し、バイパス有り読み出し信号の場合には、上記ライトデータ、即ち、テンポラリレジスタの内容を読み出し、バイパス無し読み出し信号の場合には、レジスタファイルの該当ビットの内容を読み出すようにしたところに特徴がある。

【0042】

【発明の効果】以上、詳細に説明したように、本発明のレジスタファイルは、レジスタファイルのブロックとは異なるブロックに設けられていたテンポラリレジスタを、該レジスタファイルのブロック内に設けて、該テンポラリレジスタからの配線長を短くし、バイパス読み出しの為の選択制御を、例えば、トライステートバッファで行うことにより、マルチプレクサといった論理ゲート段を不要とし、該バイパス処理の選択信号を、レジスタファイルの周辺に設けたアドレス比較回路で生成することにより、該制御論理の負荷を減らし、更に、該レジスタファイルのビットセルの読み出し信号を、バイパスあ

り読み出し信号と、バイパスなし読み出し信号に分けることにより、該バイパスあり、なしの制御信号を発生させる論理を簡単化するようにしたものである。レジスタファイルの物量を増加させることなく、又、論理段数を増加させることなく、バイパス読み出しができ、パイプライン制御方式を採用しているプロセッサで、レジスタ干渉が発生したときでの、該パイプラインの流れの乱れの発生を抑止することができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示した図（その1）

【図2】本発明の一実施例を示した図（その2）

【図3】本発明の一実施例を示した図（その3）

【図4】本発明の一実施例を示した図（その4）

【図5】本発明の一実施例を示した図（その5）

【図6】パイプライン制御でのバイパス手法を説明する図

【図7】従来のレジスタファイルを説明する図（その1）

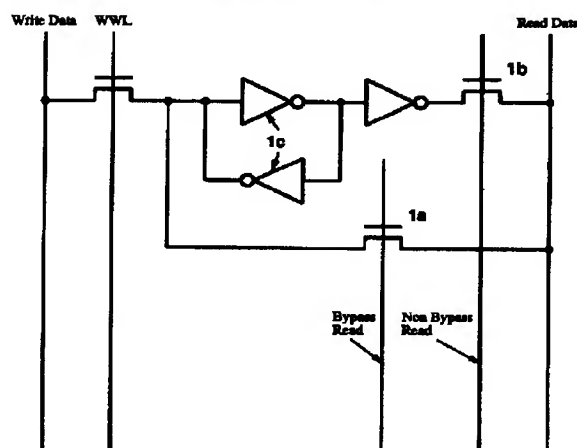
【図8】従来のレジスタファイルを説明する図（その2）

【符号の説明】

- | | | | |
|------------|--------------------------------|----|-----------------|
| 1 | レジスタファイル(Register File, 又は、GR) | | |
| 1a, 1b | トランジスタ | 1c | ラッチ |
| 10 | 書き込みアドレスデコーダ(WA-Decoder) | | |
| 11 | 読み出しアドレスデコーダ(RA-Decoder) | | |
| 2 | テンポラリレジスタ(Temporary Register) | | |
| 30 | ゲートバッファ、ゲート回路 | | |
| 31 | 出力バッファ(Output Buffer) | | |
| 4 | アドレス比較回路 | 40 | 比較器(Comparator) |
| F, D, E, W | パイプラインの各ステージ | | |

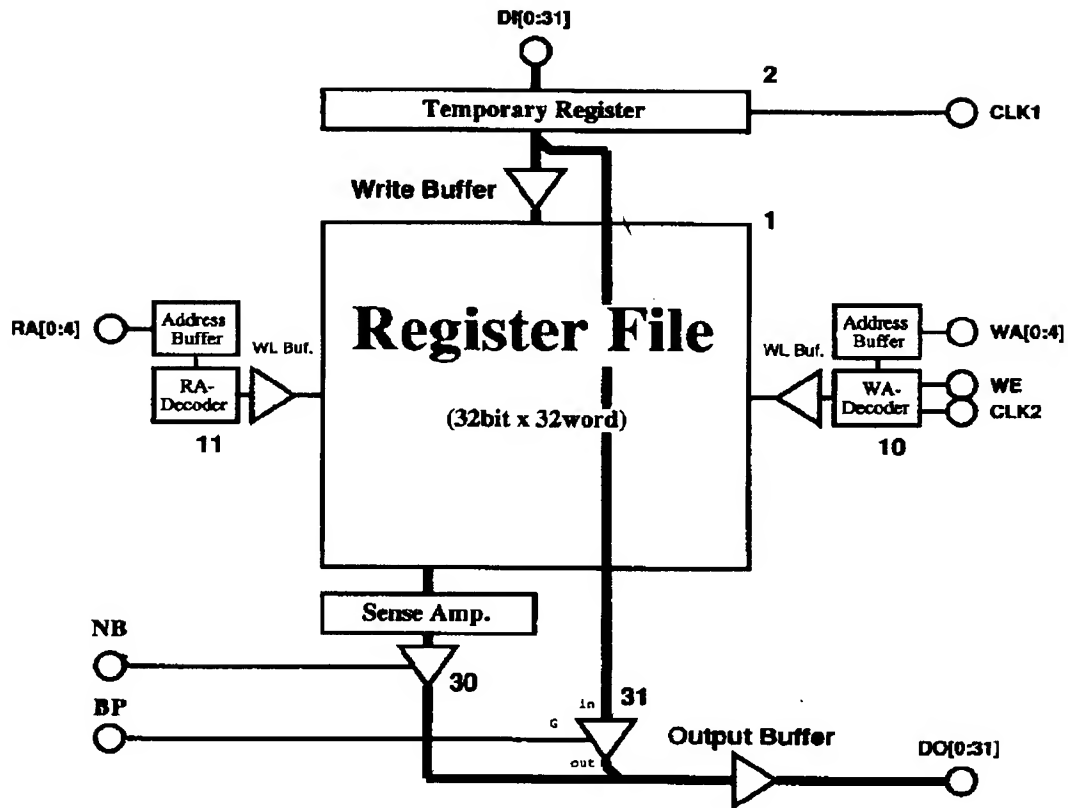
【図5】

本発明の一実施例を示した図（その5）



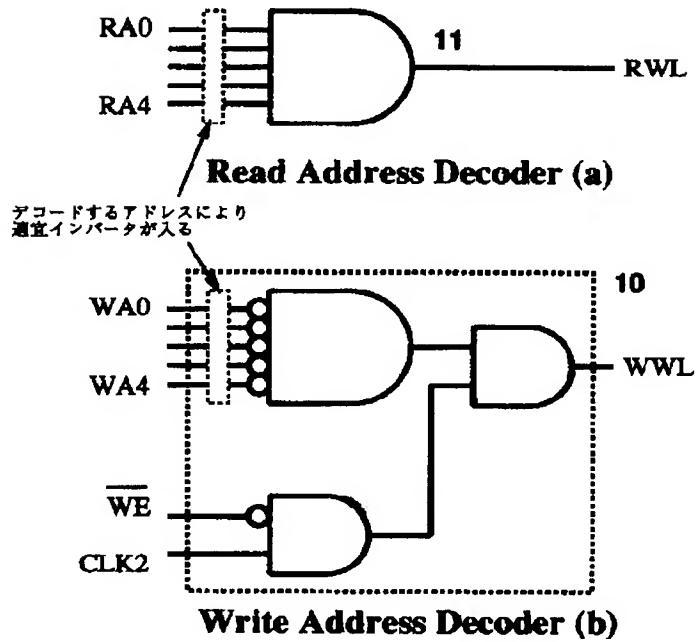
【図 1】

本発明の一実施例を示した図（その 1）



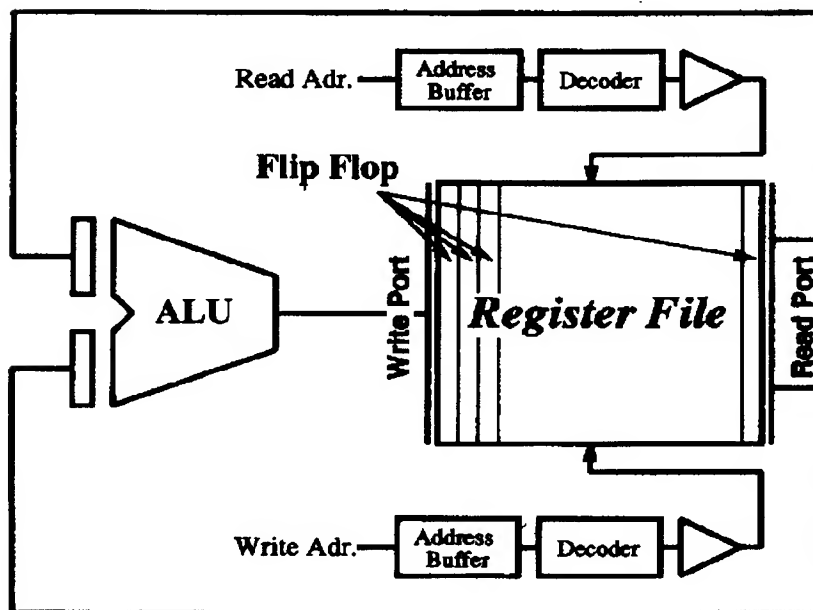
【図 2】

本発明の一実施例を示した図（その 2）



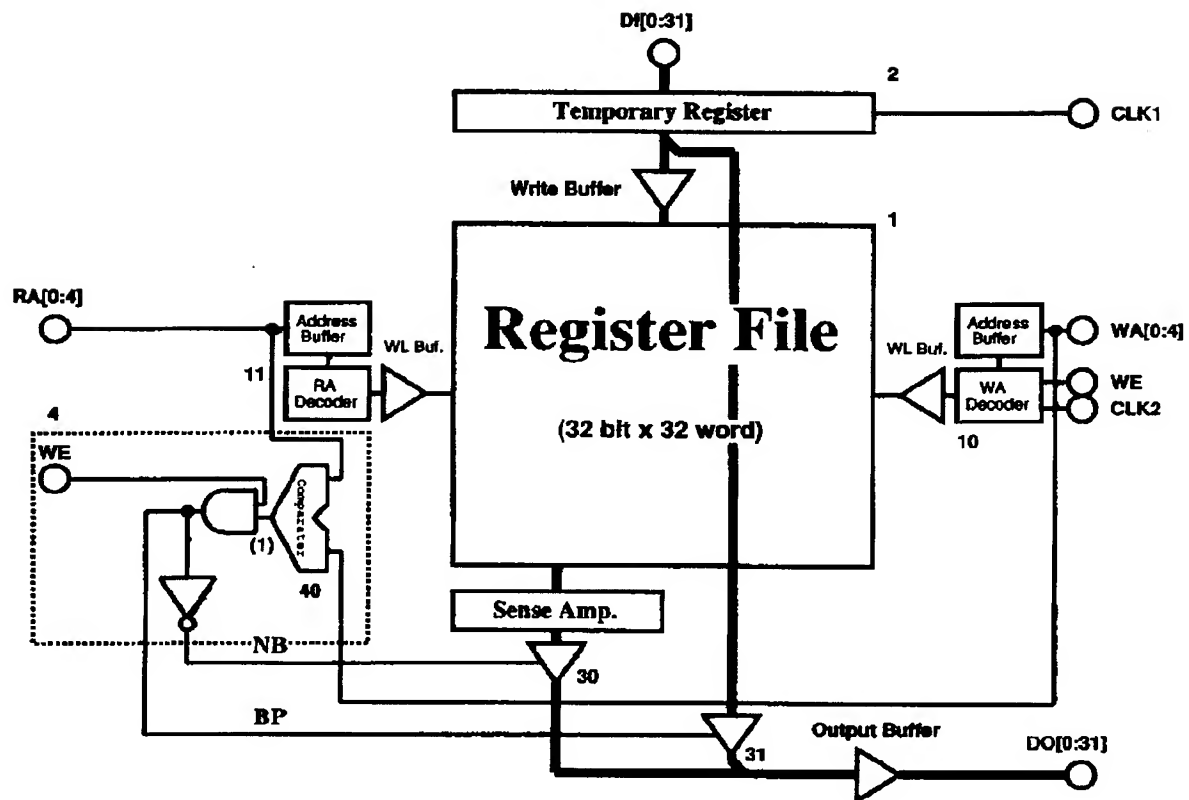
【図 8】

従来のレジスタファイルを説明する図（その 2）



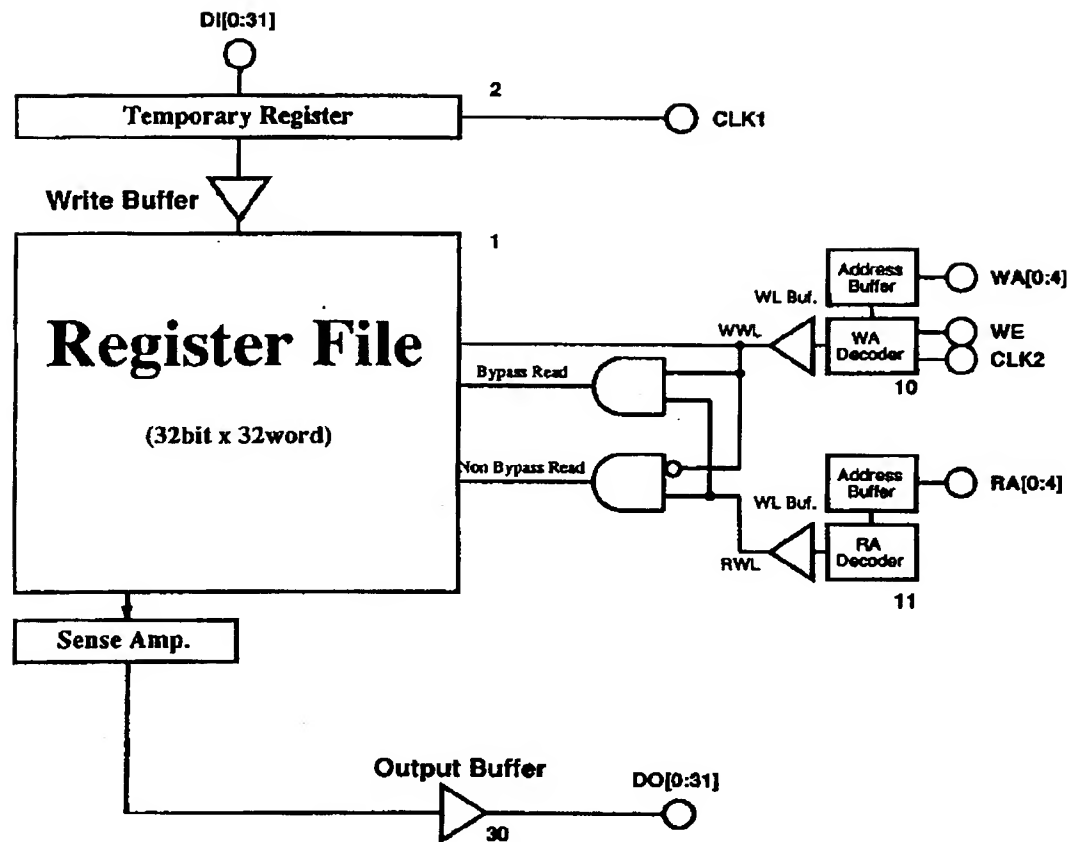
【図 3】

本発明の一実施例を示した図（その 3）



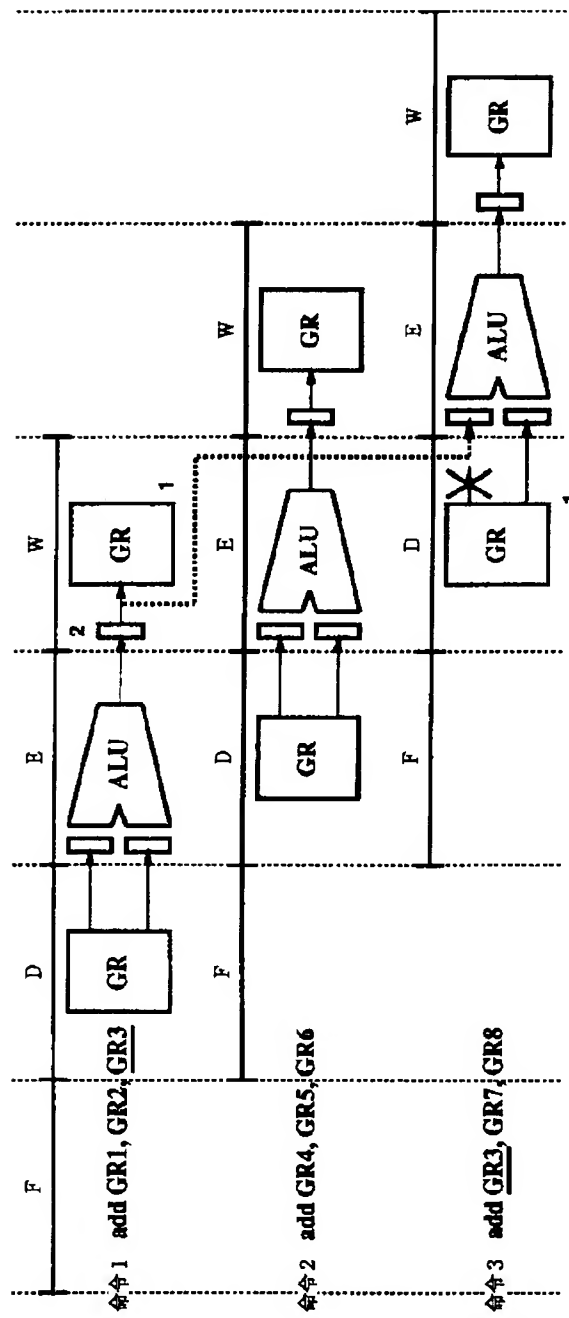
【図 4】

本発明の一実施例を示した図（その 4）



【図6】

パイプライン制御でのバイパス手法を説明する図



【図7】

従来のレジスタファイルを説明する図（その1）

